



# INSTITUTO POLITÉCNICO NACIONAL

## CENTRO DE INVESTIGACIÓN EN COMPUTACIÓN

### Lagarto:

Una estrategia para la Generación, Aplicación y Transferencia de conocimiento para el Desarrollo de la Industria de las TIC en México



# CONTENIDO

- **Introducción**
- **Lagarto: El primer procesador mexicano**
- **Objetivos**
- **¿Qué se requiere para integrarse al proyecto?**
- **¿Qué ofrece el IPN?**
- **Plan de generación de conocimiento**
- **Fases de desarrollo:**
  - **Fase 1: Arquitectura y Sistema Operativo**
  - **Fase 2: Multinúcleos y Redes de Interconexión**
  - **Fase 3: Creación de un ecosistema**
- **Conclusiones**

Lagarto es un proyecto en desarrollo para generar conocimiento en dos áreas principales.

- Diseño de Arquitecturas de procesadores
  - Técnicas de alto rendimiento
  - Técnicas de bajo consumo de energía
  
- Sistemas operativos (Linux)
  - Adecuación a la arquitectura Lagarto
  - Metodología para el desarrollo de drivers





- Consolidar grupos de Investigación, Desarrollo e innovación (I+D+i) en áreas de:
  - Diseño de procesadores
  - Diseño Digital (HDL-FPGA's)
  - Diseño de Sistemas Operativos (Linux)

en instituciones de educación con nivel de posgrado, superior y media superior de todo el país, con la ayuda de los CEC del IPN.

- Que se utilice como material educativo.
- Reducir la dependencia de conocimiento y la dependencia tecnológica.
- Que se convierta en un estándar para la industria Mexicana de las TIC

## ¿Qué se requiere para que te integres al proyecto?

- Formación de grupos de académicos
  - Arquitectura de computadoras
  - Diseño Digital (HDL-FPGA)
  - Sistemas Operativos
  - Supercómputo para la innovación
- Plataformas de desarrollo FPGA's (Altera, Xilinx)
- Cluster de GPUs



## ¿Qué ofrece la red de Computación del IPN?

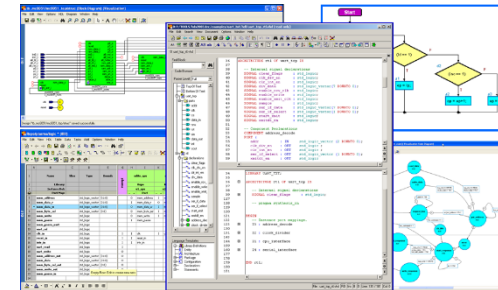
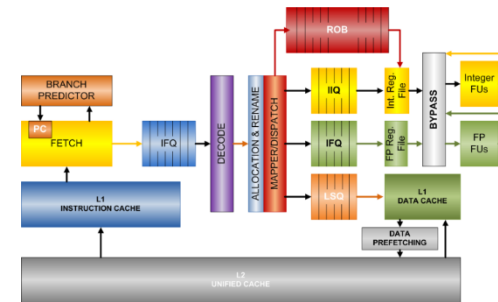
- Acompañamiento de un grupo de expertos.
- Documentación
- Material para clases
- Código fuente (HDL-Verilog)
- Herramientas
- Un foro de consulta y ayuda permanente



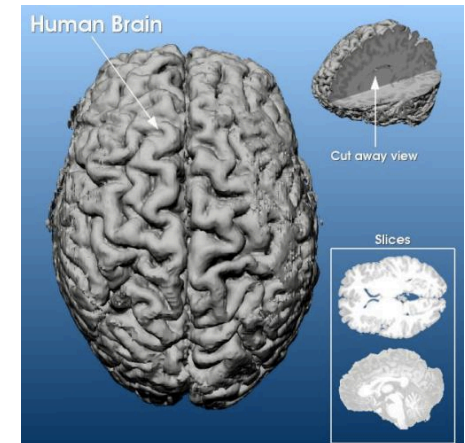
Los CEC-IPN coordinarán la realización de talleres de entrenamiento en las áreas mencionadas.

## Plan de Generación de Conocimiento en TIC

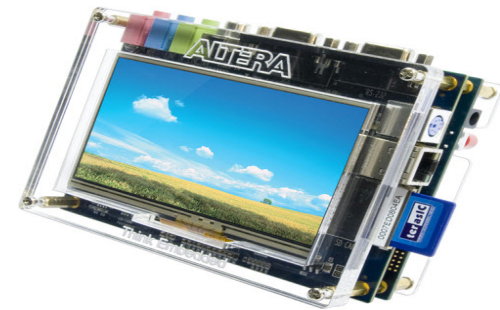
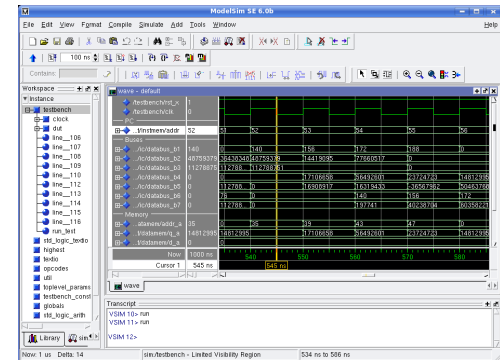
- Parte I: Incluye todo el código *Verilog* del núcleo de un procesador escalar con planificación dinámica, ejecución en orden, predicción dinámica de saltos y utilerías.
- Parte II: Incluye la adecuación de un Sistema Operativo Embebido (Linux), la metodología para el desarrollo de drivers, utilerías y un tutorial de instalación para plataformas de desarrollo basados en FPGA's.



- Parte III: simulación de problemas complejos capaces de ejecutarse de forma eficiente en supercomputadoras modernas de bajo costo para la aplicación específica, es decir soluciones que no requieran grandes inversiones en equipo e instalaciones.



- Parte IV: Desarrollo de material educativo para universidades, Simuladores, Libros.
- Las herramientas (recomendamos) pueden **ser utilizadas en investigación y docencia** en las áreas de: Arquitectura de computadoras, Sistemas Operativos Embebidos, Diseño digital y Programación paralela.



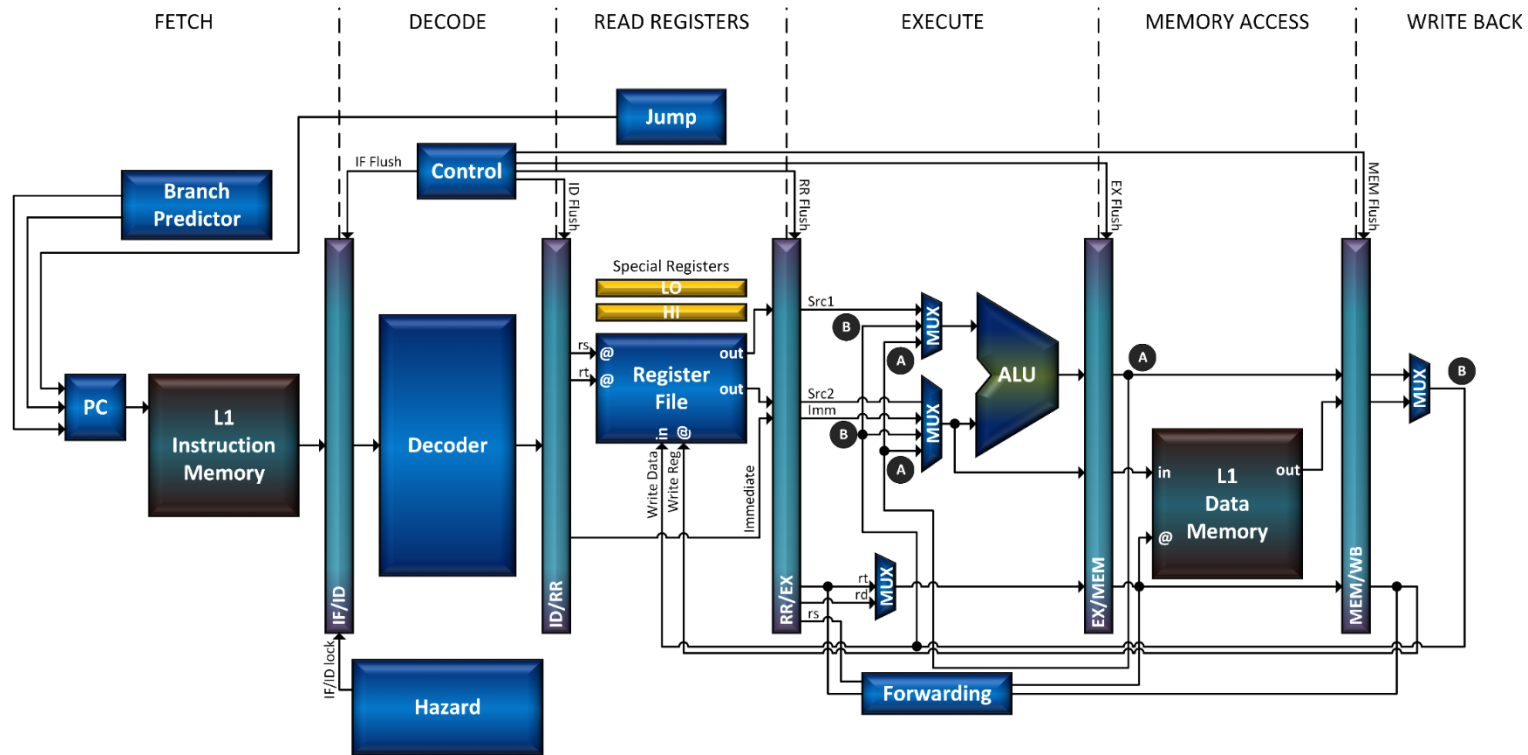




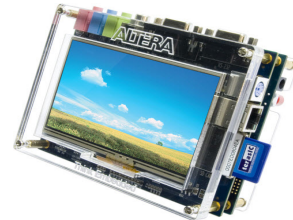
- **Fase I: (2012-2016)** - Investigación clave para el desarrollo de las TIC:
  - Arquitectura **Lagarto I** 32-bits, el primer procesador mexicano.
  - Arquitectura **Lagarto II** 64-bits, emite 2-instrucciones, planificación dinámica y ejecución fuera de orden.
  - **Sistemas Operativos** Linux (ESCOM)
  - Diseño de PCB's para tarjetas de desarrollo (ESCOM)

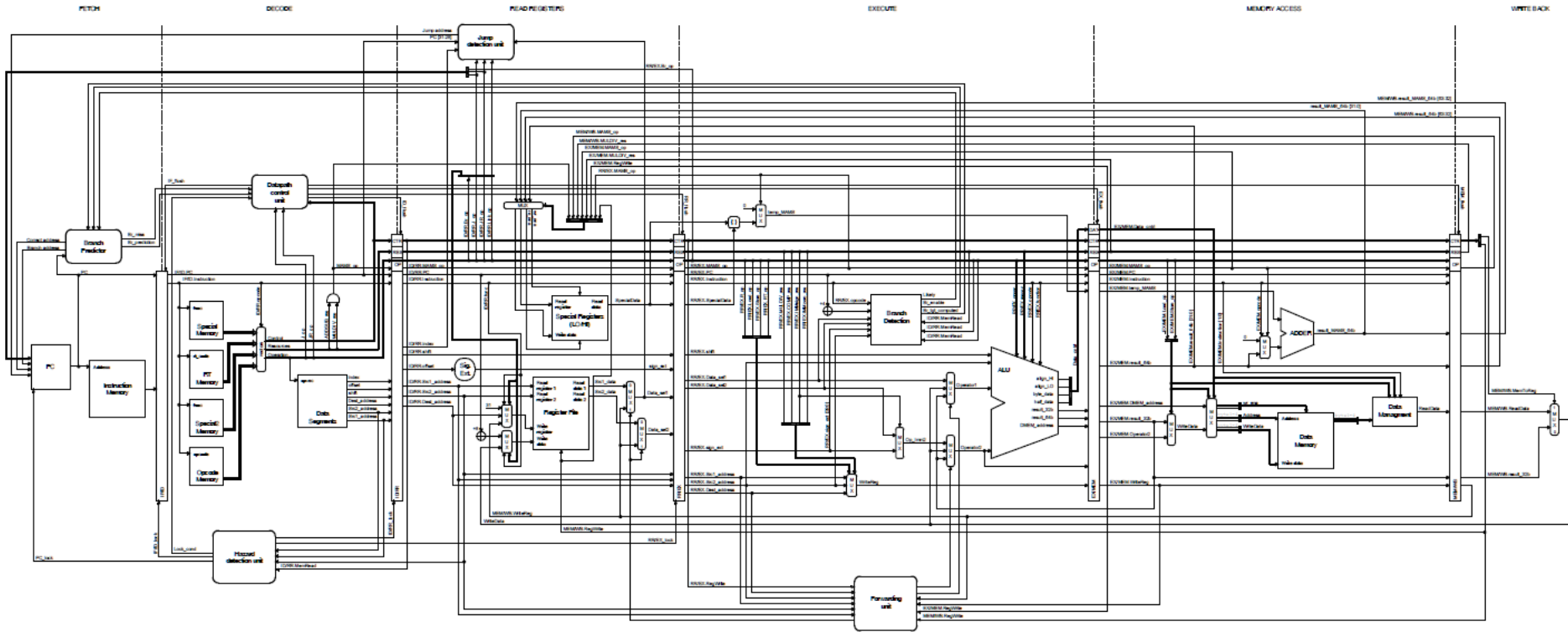


# Procesador escalar segmentado (utiliza técnicas planificación dinámica modernas) con S.O. Linux.



**MIPS**  
by Imagination  
**MIPS32™**  
Revision 0.95







- Pruebas realizadas a Lagarto I

**MARS** (MIPS Assembler and Runtime Simulator)

<http://courses.missouristate.edu/KenVollmar/MARS/>

Desarrollado por Pete Sanderson (psanderson@otterbein.edu)  
y Kenneth Vollmar (kenvollmar@missouristate.edu)

# MARS (MIPS Assembler and Runtime Simulator)

The screenshot shows the MARS MIPS simulator interface. Callouts point to various features:

- Run program**: Points to the green play button in the toolbar.
- Single step**: Points to the magnifying glass icon in the toolbar.
- Reset system**: Points to the circular arrow icon in the toolbar.
- Assemble button**: Points to the document icon with a blue arrow in the toolbar.
- Instructions**: Points to the 'Text Segment' table.
- Data (hex)**: Points to the 'Data Segment' table.
- Variables a, b, c**: Points to the 'Registers' table.

**Text Segment**

Bkpt	Address	Code	Basic	Source
	0x00400000	0x20100005	addi \$16,\$0,0x0005	15: addi \$s0, \$zero, 5 # \$s0 = 5
	0x00400004	0x20110004	addi \$17,\$0,0x0004	16: addi \$s1, \$zero, # \$s1 = 4
	0x00400008	0x02119020	add \$18,\$16,\$17	17: add \$s2, \$s0, \$s1 # \$s2 = \$s0 + \$s1
	0x0040000c	0x22520001	addi \$18,\$18,0x0001	20: addi \$s2, \$s2, 1 # observe hex value
	0x00400010	0x3c011001	lui \$1,0x1001	23: lw \$t0, a # \$t0 = a
	0x00400014	0x8c280000	lw \$8,0x0000(\$1)	
	0x00400018	0x3c011001	lui \$1,0x1001	24: lw \$t1, b # \$t1 = b
	0x0040001c	0x8c290004	lw \$9,0x0004(\$1)	
	0x00400020	0x01284820	add \$9,\$9,\$8	25: add \$t1, \$t1, \$t0 # \$t1 += \$t0
	0x00400024	0x3c011001	lui \$1,0x1001	26: sw \$t1, c # c = \$t0

**Data Segment**

Address	Value (+0)	Value (+4)	Value (+8)	Value (+c)	Value (+10)	Value (+14)	Value (+18)	Value (+1c)
0x10010000	0x00000001	0x00000002	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x10010020	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x10010040	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x10010060	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x10010080	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x100100a0	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x100100c0	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x100100e0	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000

**Registers**

Name	Number	Value
\$zero	0	0x00000000
\$at	1	0x00000000
\$v0	2	0x00000000
\$v1	3	0x00000000
\$a0	4	0x00000000
\$a1	5	0x00000000
\$a2	6	0x00000000
\$a3	7	0x00000000
\$a4	8	0x00000000
\$t0	9	0x00000000
\$t1	10	0x00000000
\$t2	11	0x00000000
\$t3	12	0x00000000
\$t4	13	0x00000000
\$t5	14	0x00000000
\$t6	15	0x00000000
\$a0	16	0x00000000
\$a1	17	0x00000000
\$s2	18	0x00000000
\$a3	19	0x00000000
\$a4	20	0x00000000
\$a5	21	0x00000000
\$a6	22	0x00000000
\$a7	23	0x00000000
\$t8	24	0x00000000
\$t9	25	0x00000000
\$k0	26	0x00000000
\$k1	27	0x00000000
\$gp	28	0x10008000
\$ap	29	0x7fffffc0
\$fp	30	0x00000000
\$ra	31	0x00000000
pc		0x00400000

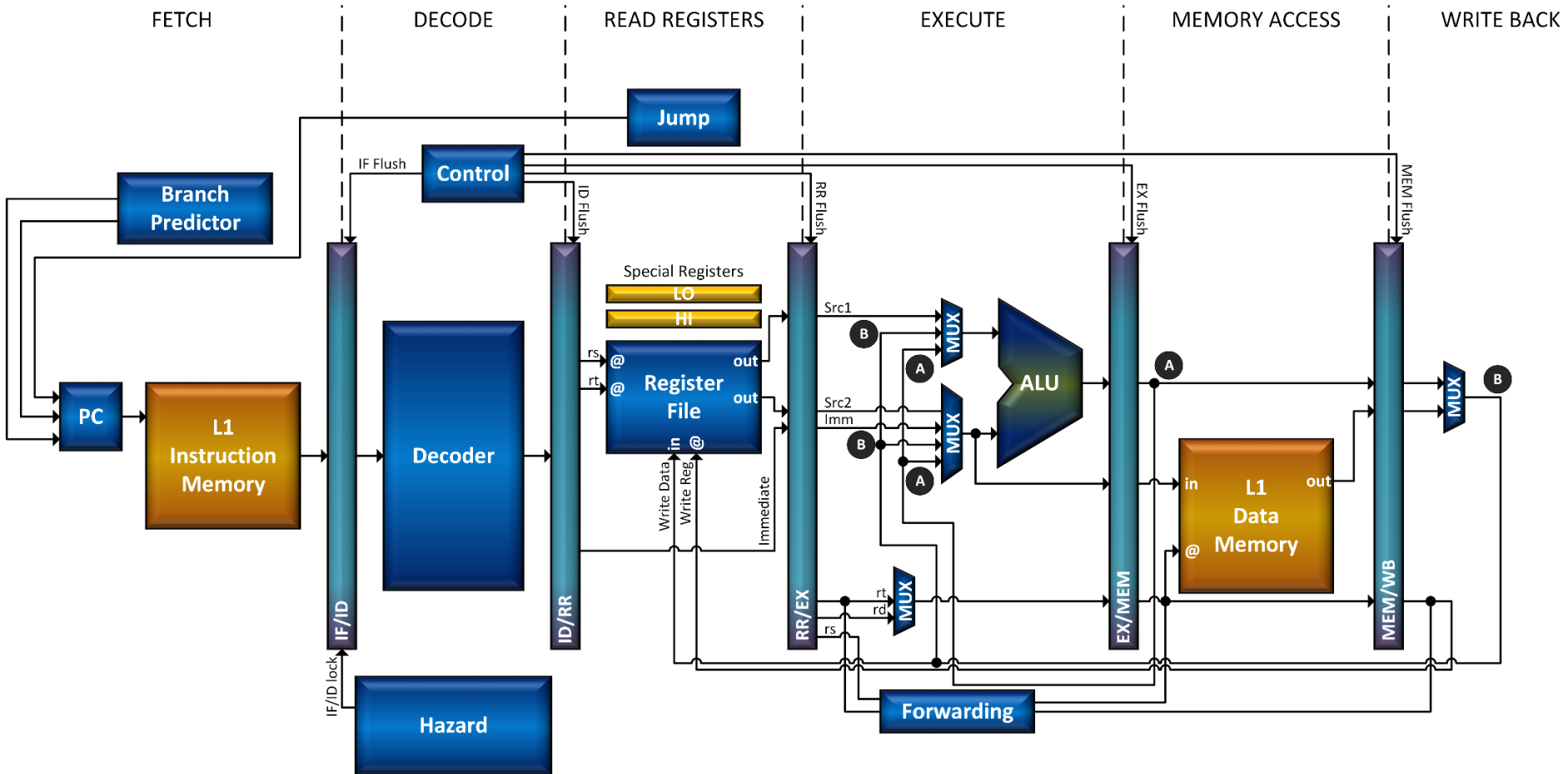
## MARS (MIPS Assembler and Runtime Simulator)

**.text**

```
00111100000000010001000000000001
00000000001000000000100000100001
10001100001011000000000000000000
00111100000000010001000000000001
00000000001000000000100000100001
10001100001011010000000000000100
00000001100011010101100000100000
00111100000000010001000000000001
00000000001000000000100000100001
10101100001010110000000000001000
```

**.data**

```
00000000000000000000000011111011010
11111111111111111111111100000100110
00000000000000000000000000000000000
00000000000000000000000000000000000
00000000000000000000000000000000000
00000000000000000000000000000000000
00000000000000000000000000000000000
00000000000000000000000000000000000
00000000000000000000000000000000000
00000000000000000000000000000000000
00000000000000000000000000000000000
```



## Linux para arquitecturas MIPS

## Buildroot



## Making Embedded Linux Easy

Buildroot is a simple, efficient and easy-to-use tool to generate embedded Linux systems through cross-compilation.

<http://buildroot.uclibc.org/>

**QEMU**  
open source processor emulator

[http://wiki.qemu.org/Main\\_Page](http://wiki.qemu.org/Main_Page)

```

ralc88@Ubuntu-CIC: ~/Escritorio/BuildRoot/MIPSI
Welcome to MIPS!
buildroot login: root
EXT2-fs (hda): error: ext2_lookup: deleted inode referenced: 363
EXT2-fs (hda): error: remounting filesystem read-only
# cat /proc/cpuinfo
EXT2-fs (hda): error: ext2_lookup: deleted inode referenced: 363
EXT2-fs (hda): error: remounting filesystem read-only
system type      : MIPS Malta
machine          : Unknown
processor         : 0
cpu model        : MIPS 24Kc V0.0  FPU V0.0
BogoMIPS         : 910.13
wait instruction : yes
microsecond timers : yes
tlb_entries      : 16
extra interrupt vector : yes
hardware watchpoint : yes, count: 1, address/irw mask: [0x0ff8]
isa              : mips1 mips2 mips32r1 mips32r2
ASEs implemented : mips16
shadow register sets : 1
kscratch registers : 0
core             : 0
VCEd exceptions  : not available
VCEI exceptions  : not available

```



# Lagarto II

Arquitectura desarrollada por el grupo de HPCA del CIC-IPN .

▪ Tesis de Doctorado:

“***Superscalar Out of Order Processor for Embedded Systems***”

César A. Hernández Calderón

- Arquitectura súper-escalar

*Fetch, Decode y Dispatch* de hasta dos instrucciones cada ciclo de reloj.

- Técnicas de planificación dinámica

Branch Predictor de dos niveles

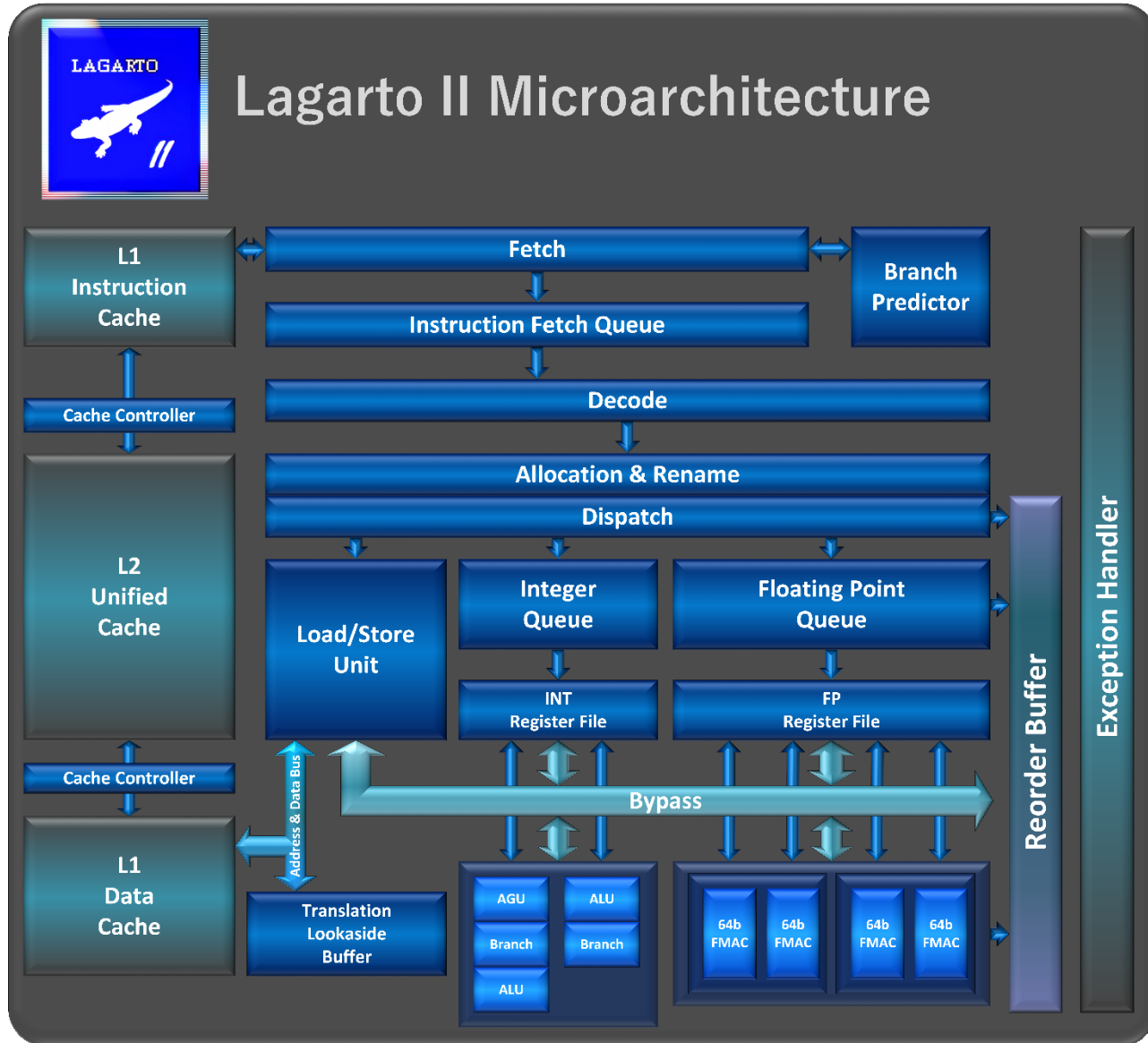
Renombrado de Registros

Ejecución fuera de Orden

**MIPS**  
by Imagination

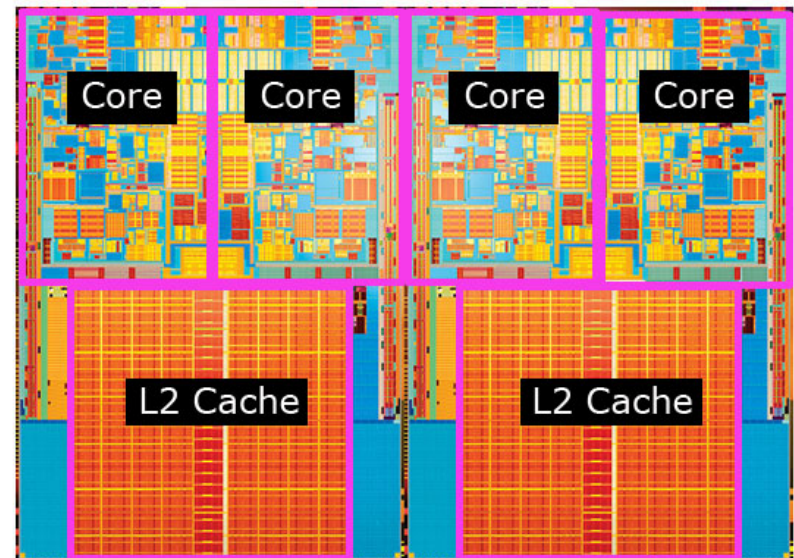
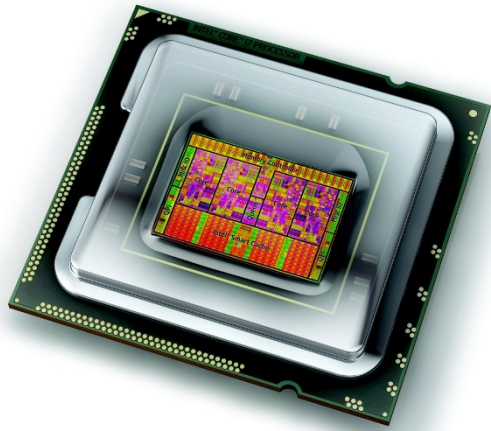
MIPS64®

Revision 6.01  
August 20, 2014



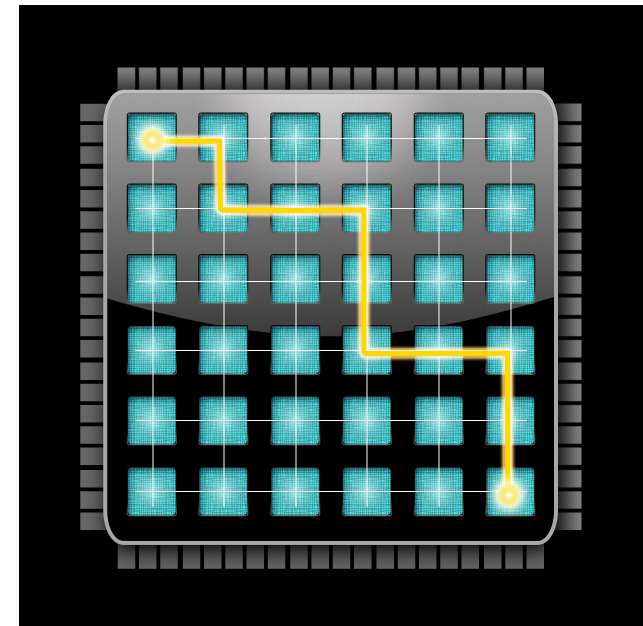
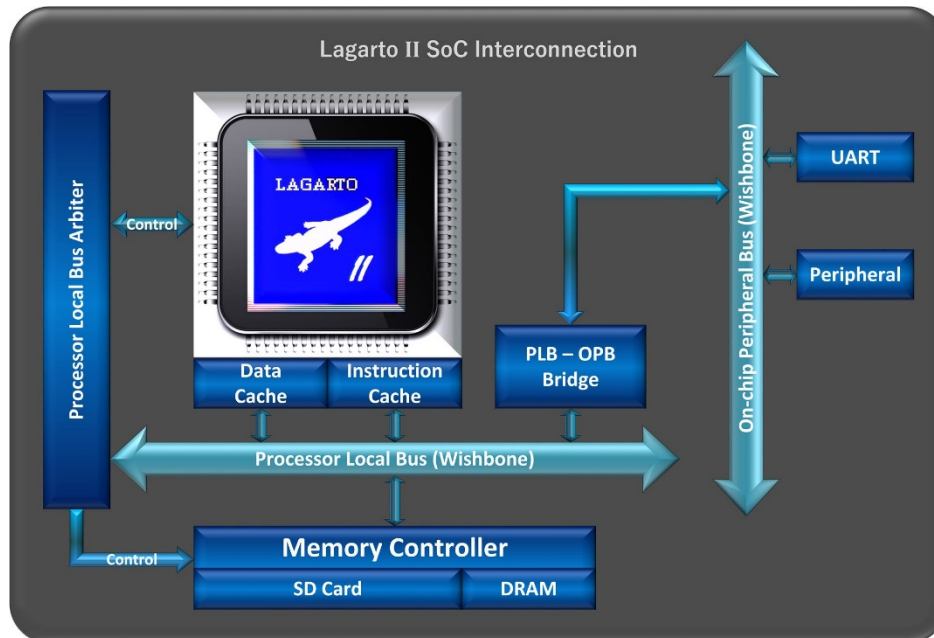
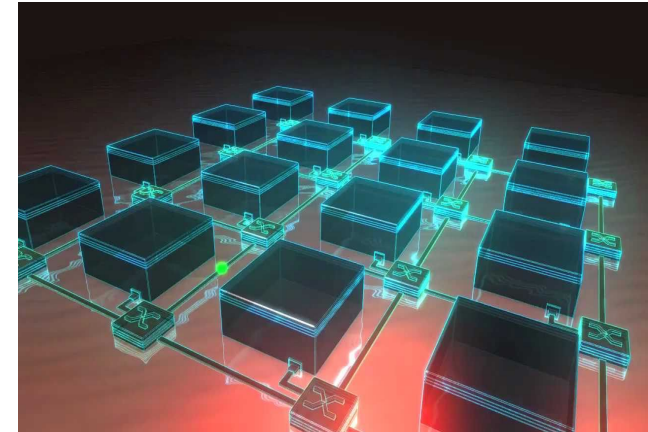
## Fase II: (2017-2020)

- Productos de Investigación:
  - Dual Core *Lagarto I* 32-bits.
  - Quad Core *Lagarto II* 64-bits.



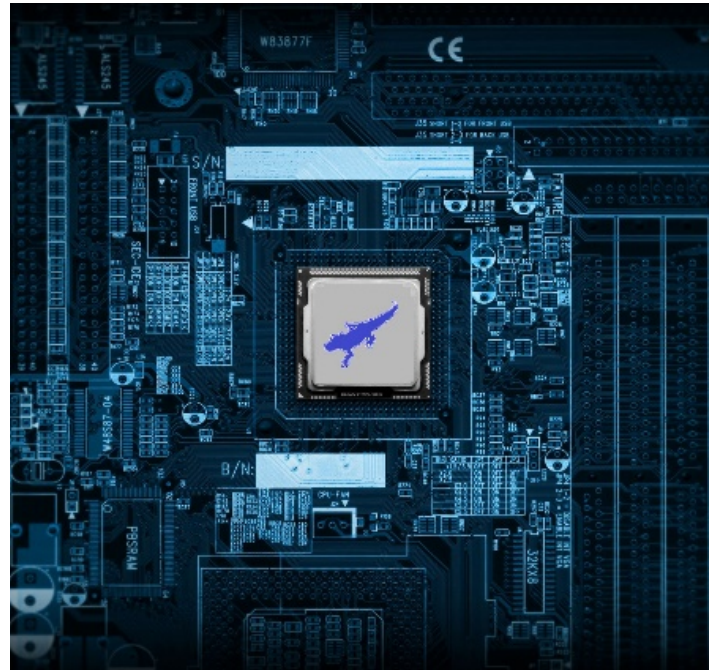
## Fase II: (2017-2020)

- Productos de Investigación:
  - Redes de interconexión



## Fase II: (2017-2020)

- Productos de Investigación:
  - Fabricación de tarjetas de desarrollo (ESCOM)



## Fase III: (2020 - en adelante)

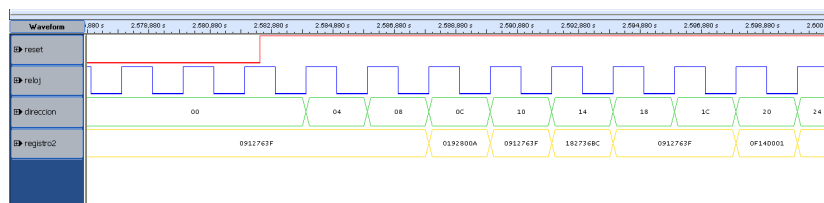
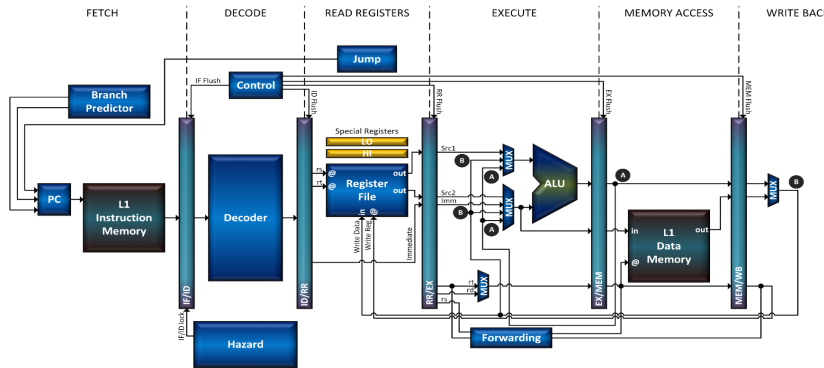
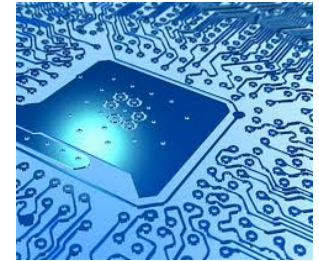
- Aplicaciones:
  - Crear un ecosistema para soportar la industria Mexicana de las TIC's.
  - Iniciar aplicaciones en áreas como Seguridad nacional, Educación, e-gobierno, etc.





## Cursos próximos a realizarse:

- Diseño y fabricación de Tarjetas de Circuito Impreso
- Programación Lenguaje Máquina (Ensamblador MIPS)
- Diseño de Circuitos Digitales (Verilog-FPGA)
- Diseño de procesadores
- Sistemas Embebidos



Centro de Investigación en Computación

Prof. Marco A. Ramírez Salinas

[mars@cic.ipn.mx](mailto:mars@cic.ipn.mx)

Escuela Superior de Cómputo

Prof. Jesús Yaljá Montiel Pérez

[yalja@ipn.mx](mailto:yalja@ipn.mx)

Escuela Superior de Ingeniería Mecánica y Eléctrica Unidad Culhuacan

Prof. Juan Carlos Sánchez

[jcsanche@ipn.mx](mailto:jcsanche@ipn.mx)

Unidad Profesional Interdisciplinaria en Ingeniería y Tecnologías Avanzadas

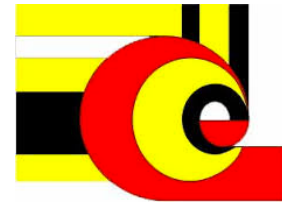
Prof. Arodi Rafael Carvalho Dominguez

[acarvalho@ipn.mx](mailto:acarvalho@ipn.mx)

Centro de Investigación y Desarrollo de Tecnología Digital

Prof. Juan José Tapia Armenta

[jjtapia@citedi.mx](mailto:jjtapia@citedi.mx)



INSTITUTO POLITÉCNICO NACIONAL



ESCOM

